

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

記録原本

1/4

特許協力条約に基づく国際出願願書

pf-3237

原本(出願用) - 印刷日時 2003年12月22日 (22.12.2003) 月曜日 13時47分15秒

| | | |
|-----------|---|---|
| 0 | 受理官庁記入欄 | |
| 0-1 | 国際出願番号 | PCT/JP 03/16475 |
| 0-2 | 国際出願日 | 22.12.03 |
| 0-3 | (受付印) | PCT International Application 日本国特許庁 |
| 0-4 | 様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 0-4-1 右記によって作成された。 | PCT-EASY Version 2.92 (updated 01.11.2003) |
| 0-5 | 申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。 | |
| 0-6 | 出願人によって指定された受理官庁 | 日本国特許庁 (RO/JP) |
| 0-7 | 出願人又は代理人の書類記号 | pf-3237 |
| I | 発明の名称 | 量子演算素子及びその使用方法 |
| II | 出願人 | |
| II-1 | この欄に記載した者は | 出願人及び発明者である (applicant and inventor) |
| II-2 | 右の指定国についての出願人である。 | 米国のみ (US only) ^{△すべての指定国} <i>△ All designated States</i> |
| II-4ja | 氏名(姓名) | 山本 剛 |
| II-4en | Name (LAST, First) | YAMAMOTO, Tsuyoshi |
| II-5ja | あて名: | 108-8001 日本国 東京都 港区 芝五丁目7番1号 日本電気株式会社内 |
| II-5en | Address: | c/o NEC Corporation 7-1, Shiba 5-chome Minato-ku, Tokyo 108-8001 Japan |
| II-6 | 国籍(国名) | 日本国 JP |
| II-7 | 住所(国名) | 日本国 JP |
| III-1 | その他の出願人又は発明者 | |
| III-1-1 | この欄に記載した者は | 出願人及び発明者である (applicant and inventor) |
| III-1-2 | 右の指定国についての出願人である。 | 米国のみ (US only) ^{△すべての指定国} <i>△ All designated States</i> |
| III-1-4ja | 氏名(姓名) | 蔡 兆申 |
| III-1-4en | Name (LAST, First) | TSAI, Jaw-shan |
| III-1-5ja | あて名: | 108-8001 日本国 東京都 港区 芝五丁目7番1号 日本電気株式会社内 |
| III-1-5en | Address: | c/o NEC Corporation 7-1, Shiba 5-chome Minato-ku, Tokyo 108-8001 Japan |
| III-1-6 | 国籍(国名) | アメリカ合衆国 US |
| III-1-7 | 住所(国名) | 日本国 JP |

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

2/4

特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 2003年12月22日 (22. 12. 2003) 月曜日 13時47分15秒

pf-3237

| | | |
|----------|---|---|
| IV-1 | 代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。 | 代理人 (agent) |
| IV-1-1a | 氏名(姓名) | 浜田 治雄 |
| IV-1-1en | Name (LAST, First) | HAMADA, Haruo |
| IV-1-2a | あて名: | 107-0062 日本国 東京都 港区 南青山3丁目4番12号 知恵の館 |
| IV-1-2en | Address: | Wisdom House, 4-12, Minami-Aoyama 3-chome, Minato-ku, Tokyo 107-0062 Japan |
| IV-1-3 | 電話番号 | 03-3404-5768 |
| IV-1-4 | ファクシミリ番号 | 03-3404-5748 |
| IV-1-5 | 電子メール | unipat@nn.ij4u.or.jp |
| V | 国の指定 | |
| V-1 | 広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。) | — |
| V-2 | 国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。) | US |
| V-5 | 指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。 | |
| V-6 | 指定の確認から除かれる国 | なし (NONE) |
| VI-1 | 先の国内出願に基づく優先権主張 | |
| VI-1-1 | 出願日 | 2002年12月20日 (20. 12. 2002) |
| VI-1-2 | 出願番号 | 特願2002-370135 |
| VI-1-3 | 国名 | 日本国 JP |
| VII-1 | 特定された国際調査機関 (ISA) | 日本国特許庁 (ISA/JP) |

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

3/4

pi-3237

特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 2003年12月22日 (22.12.2003) 月曜 13時47分15秒

| | | | |
|--------|-------------------------------------|-------------|--------------|
| VIII | 申立て | 申立て数 | |
| VIII-1 | 発明者の特定に関する申立て | - | |
| VIII-2 | 出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て | - | |
| VIII-3 | 先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て | - | |
| VIII-4 | 発明者である旨の申立て(米国を指定国とする場合) | - | |
| VIII-5 | 不利にならない開示又は新規性喪失の例外に関する申立て | - | |
| IX | 照合欄 | 用紙の枚数 | 添付された電子データ |
| IX-1 | 願書(申立てを含む) | 4 | - |
| IX-2 | 明細書 | 16 | - |
| IX-3 | 請求の範囲 | 4 | - |
| IX-4 | 要約 | 1 | EZABST00.TXT |
| IX-5 | 図面 | 6 | - |
| IX-7 | 合計 | 31 | |
| | 添付書類 | 添付 | 添付された電子データ |
| IX-8 | 手数料計算用紙 | ✓ | - |
| IX-9 | 個別の委任状の原本 | ✓ | - |
| IX-13 | 優先権証明書 | 優先権証明書 VI-1 | - |
| IX-17 | PCT-EASYディスク | - | デジタルディスク |
| IX-18 | その他 | 特許印紙を貼付した書面 | - |
| IX-19 | 要約書とともに提示する図の番号 | 2 | |
| IX-20 | 国際出願の使用言語名: | 日本語 | |
| X-1 | 提出者の記名押印 | | |
| X-1-1 | 氏名(姓名) | 浜田 治雄 | |

受理官庁記入欄

| | | |
|--------|--|----------|
| 10-1 | 国際出願として提出された書類の実際の受理の日 | 22.12.03 |
| 10-2 | 図面: | |
| 10-2-1 | 受理された | |
| 10-2-2 | 不足図面がある | |
| 10-3 | 国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日) | |
| 10-4 | 特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日 | |
| 10-5 | 出願人により特定された国際調査機関 | ISA/JP |
| 10-6 | 調査手数料未払いにつき、国際調査機関に調査用写しを送付していない | |

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

4/4

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2003年12月22日（22.12.2003）月曜日 13時47分15秒

pf-3237

国際事務局記入欄

| | | |
|------|-----------|-----------------|
| II-I | 記録原本の受理の日 | 15 JANUARY 2004 |
|------|-----------|-----------------|

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

1

明細書

量子演算素子及びその使用方法

技術分野

本発明は、ジョセフソン結合システムで構成される量子計算機に用いる量子演算素子及びその使用方法に関し、特に量子演算素子の量子ビット読出処理機構及び量子演算素子の量子ビット読出処理方法に関する。

背景技術

本発明に関する現時点での技術水準をより十分に説明する目的で、本願で引用され或いは特定される特許、特許出願、特許公報、科学論文等の全てを、ここに、参照することでそれらの全ての説明を組入れる。

従来より、量子計算機に超伝導量子演算素子を用いることが知られている。超伝導量子演算素子の従来例が特開2000-277723号公報の段落番号[0013][0015]及び図1に開示される。

図1は超伝導量子演算素子の従来構成の一例を示す回路図である。従来の超伝導量子演算素子は、超伝導箱電極205と、該超伝導箱電極205の第一の側と第1のトンネルバリア207を介して結合された対向電極204と、該超伝導箱電極205の上記第一の側と反対側の第二の側と第2のトンネルバリア206を介して結合された読み出し電極203と、該超伝導箱電極205の上記第一及び第二の側と異なる第三のサイドとゲート容量202を介して結合されたゲート電極201とを含む。

超伝導箱電極205中の余剰クーパー対数は帯電効果により0または1に制限される。そして、この2つの量子状態は第1のトンネルバリア207を介した対向電極204と超伝導箱電極205との間のクーパー対のトンネリングによってコヒーレントに結合している。

ゲート電極 201 に印加されたゲート電圧がゲート容量 202 を介して超伝導箱電極 205 に作用し、量子ビットに対する演算を行なう。

さらに超伝導箱電極 205 には第 2 のトンネルバリア 206 を介して読み出し電極 203 が設けられている。

この第 2 のトンネルバリア 206 はクーパー対のコヒーレンスをなるべく長時間壊さないように第 1 のトンネルバリア 207 に比べて厚く、従ってトンネル確率が十分小さくなるように作られている。

読み出し電極 203 は電圧源によって正にバイアスされており、超伝導箱電極 205 中に余剰クーパー対が存在する場合は 2 つの準粒子トンネリングによってそれらが引き出され、ある一定の電流を与える。

一方、余剰クーパー対が存在しない場合は何も起こらない。従って、上記接合を流れる電流を計測することにより、二つの状態を区別すること、即ち量子状態の読み出しを行うことが可能となる。

単一のクーパー対の緩和による電流を検出することは測定精度上困難であるため、同じ演算を多数回繰り返し平均化することにより検出可能な電流を得ている。

また、高周波単一電子トランジスタを用いて、単一試行での読み出しを試みた従来技術の例がある。この従来例は、サイエンス (Science), (米国), 1998 年 5 月 22 日, 第 280 巻, p. 1238-1242 に開示される。

しかしながら、従来の量子演算素子は複数回の試行測定を行い、それらの平均値を算出することで最終的に測定結果を得る。この場合には量子状態の相関に関する情報を得ることができない。

また、高周波単一電子トランジスタを用いた従来技術では、高周波信号を扱うため量子演算回路の構成が全体的に複雑となる。

本発明は、このような技術的背景の下でなされたものであり、複数回の試行測定を行う必要が無く、且つ高周波信号を扱わず量子演算回路の構成をシンプルとすることを可能にする量子演算素子を提供する。

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

発明の開示

従って、本発明の目的は、高周波信号処理を行わない単純な回路構成のもとで、単一試行による量子状態の読み出しができる量子演算素子を提供することである。

本発明の更なる目的は、高周波信号処理を行わない単純な回路構成のもとで、単一試行による量子状態の読み出しができる量子演算素子の量子ビット読出処理機構を提供することである。

本発明の更なる目的は、高周波信号処理を行わない単純な回路構成のもとで、単一試行による量子状態の読み出しができる量子演算素子の使用方法を提供することである。

本発明の更なる目的は、高周波信号処理を行わない単純な回路構成のもとで、単一試行による量子状態の読み出しができる量子演算素子の量子ビット読出処理方法を提供することである。

本発明の第一の側面に係る量子演算素子は、量子箱電極と対向電極とが第1のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合した第1のゲート電極と、前記量子箱電極と第2のトンネルバリアを介して結合したトラップ電極と、単電子トランジスタとを含み、前記単電子トランジスタは更に、ソース電極と、ドレイン電極と、島電極と、ゲート容量を介し該島電極と結合した第2のゲート電極とを含み、前記トラップ電極と前記単電子トランジスタの島電極とが読出容量を介して結合している。

前記量子箱電極と前記対向電極と前記トラップ電極とは超伝導材料で構成し得る。

前記第2のトンネルバリアを介したキャリア緩和時間が、前記第1のトンネルバリアを介したコヒーレント振動周期より長いことが好ましい。ここで、前記第2のトンネルバリアを介したキャリア緩和時間が、前記第1のトンネルバリアを介したコヒーレント振動周期の5倍から1000倍の範囲であってもよい。

前記第1のトンネルバリアは第1の絶縁膜からなり、前記第2のトンネルバリア

は第2の絶縁膜からなり、該第2の絶縁膜の厚さが該第1の絶縁膜の厚さ以上であることが好ましい。ここで、前記第2の絶縁膜の厚さは前記第1の絶縁膜の厚さの1倍から3倍の範囲であってもよい。

前記島電極は、前記ソース電極に第3のトンネルバリアを介して結合され、前記ドレイン電極に第4のトンネルバリアを介して結合され得る。

前記量子演算素子は、前記対向電極に負バイアス電圧を印加して、負バイアス電圧印加時に前記量子箱電極中に存在する余剰クーパ対を前記トラップ電極に取出し溜めることで、この余剰クーパ対取出の前後において前記単電子トランジスタを流れる電流値の変化を測定するよう構成される。

前記量子演算素子は、前記トラップ電極に正バイアス電圧を印加して、正バイアス電圧印加時に前記量子箱電極中に存在する余剰クーパ対を前記トラップ電極に取出し溜めることで、この余剰クーパ対取出の前後において前記単電子トランジスタを流れる電流値の変化を測定するよう構成される。

本発明の第二の側面に係る量子演算素子の量子ビット読出処理機構は、ソース電極と、ドレイン電極と、島電極と、ゲート容量を介し前記島電極と結合したゲート電極とを含む単電子トランジスタと、量子演算素子の量子箱電極と第一のトンネルバリアを介して結合すると共に読出容量を介して前記島電極と結合したトラップ電極とを含むことで、前記量子演算素子にバイアス電圧を印加した際に前記量子箱電極中に存在する余剰クーパ対が前記トラップ電極に取出された前後において前記単電子トランジスタに流れる電流値の変化を測定するよう構成する。

前記量子演算素子は、量子箱電極と対向電極とが第1のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合した更なるゲート電極と、前記量子箱電極と第2のトンネルバリアを介して結合した前記トラップ電極とからなる。ここで、前記量子演算素子に印加される前記バイアス電圧は、前記対向電極に印加される負バイアス電圧であってもよい。また、前記量子演算素子に印加される前記バイアス電圧は、前記トラップ電極に印加される正バイアス電

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

圧であってもよい。

前記量子箱電極と前記対向電極と前記トラップ電極とは超伝導材料で構成し得る。

前記第2のトンネルバリアを介したキャリア緩和時間が、前記第1のトンネルバリアを介したコヒーレント振動周期より長いことが好ましい。ここで、前記第2のトンネルバリアを介したキャリア緩和時間が、前記第1のトンネルバリアを介したコヒーレント振動周期の5倍から1000倍の範囲であってもよい。

前記第1のトンネルバリアは第1の絶縁膜からなり、前記第2のトンネルバリアは第2の絶縁膜からなり、該第2の絶縁膜の厚さが該第1の絶縁膜の厚さ以上であることが好ましい。ここで、前記第2の絶縁膜の厚さは前記第1の絶縁膜の厚さの1倍から3倍の範囲であってもよい。

前記島電極は、前記ソース電極に第3のトンネルバリアを介して結合され、前記ドレイン電極に第4のトンネルバリアを介して結合され得る。

本発明の第三の側面に係る量子演算素子の量子ビット読出方法は、前記量子演算素子にバイアス電圧を印加した際に前記量子箱電極中に存在する余剰クーバー対を前記量子演算素子のトラップ電極に取出す工程と、前記余剰クーバー対取出工程の前後において、読出容量を介して前記トラップ電極と結合した島電極を含む単電子トランジスタに流れる電流値の変化を測定する工程とを含む。

前記量子演算素子に印加される前記バイアス電圧は、前記量子演算素子の対向電極に印加される負バイアス電圧であってもよい。また、前記量子演算素子に印加される前記バイアス電圧は、前記トラップ電極に印加される正バイアス電圧であってもよい。

本発明において、前記トラップ電極と前記島電極とを結合する前記読出容量とは、等価回路において容量を構成するあらゆる構成を含む。従って、前記読出容量の構成は、前記トラップ電極と前記島電極とを導通させずに空間的に離間させた構成を有する容量を含む。この容量の構成の典型例として、真空或いは絶縁性物質を介して前記トラップ電極と前記島電極とを結合した静電容量を含むが、必ずしもこれに

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

限定するものではない。

前記読出容量の構成の他典型例として、トンネル電流を流すことを意図しないポテンシャルバリアすなわちトンネルバリアを介して前記トラップ電極と前記島電極とを結合した構成を含む。ここで、ポテンシャルバリアの厚さは、前記トラップ電極と前記島電極とがバイアスされた際でもこれら両電極間にトンネル電流が流れない或いは流れにくくする必要がある。

従って、前記トラップ電極と前記島電極とを離間するトンネルバリアは、通常のポテンシャルバリアを形成するための絶縁性を有する物質で構成され得るが、その機能はトンネル電流を流すものではなく、前記トラップ電極と前記島電極と結合する等価回路上の容量を提供するものである。

前記トラップ電極と前記島電極との間のトンネルバリアの厚さを増加させた場合、両電極間のトンネル電流は十分抑制できるが、単電子トランジスタの感度が低くなる。一方、前記トラップ電極と前記島電極との間のトンネルバリアの厚さを減少させた場合、単電子トランジスタの感度は高くなるが、両電極間のトンネル電流の十分な抑制が難しくなる。従って、前記トラップ電極と前記島電極とを結合する読出容量の設計は、前記トラップ電極と前記島電極との間のトンネル電流の抑制と、単電子トランジスタの高い感度の保証とを考慮して行う。

更に、単電子トランジスタは高周波を利用するタイプの高周波単電子トランジスタ (RF-SET) と、高周波を利用しないタイプの単電子トランジスタ (SET) とに分類されるが、本発明では、高周波を利用しないタイプの単電子トランジスタを使用することが以下記載の視点で望ましい。

単電子トランジスタの島電極を量子箱電極に容量を介し結合した場合、量子箱電極に発生した非常に寿命の短い電子クーパ対を、この電子クーパ対が消滅する前に極めて高速に量子ビットの状態を観測する必要がある。このため、読出用の単電子トランジスタは高周波単電子トランジスタで構成する必要がある。しかしながら、高周波単電子トランジスタを高周波で動作させるための周辺回路は非常に複雑

になるという視点で、あまり好ましくない。

一方、単電子トランジスタの島電極をトラップ電極に容量を介し結合した場合、量子箱電極とトンネルバリアを介して結合したトラップ電極に読出容量を介して単電子トランジスタの島電極を結合し、余剰クーパー対をトラップ電極に溜め、トラップ電極に溜まった電荷量の変化すなわち余剰クーパー対数の変化を読出用の単電子トランジスタの直流電流値として読み出す。この場合、読出用の単電子トランジスタは高周波単電子トランジスタで構成する必要がない。すなわち読出用の単電子トランジスタを高周波で動作させる必要がないため、周辺回路の回路構成を単純にすることができる。

このため、量子箱電極とトンネルバリアを介して結合したトラップ電極、及びこのトラップ電極に読出容量を介して結合された島電極を有する単電子トランジスタは本発明に係る量子演算素子にとって必須構成要素となる。

すなわち、対向電極とトラップ電極との間にバイアス電圧を印加して、該バイアス電圧印加時に量子箱電極中に存在する余剰クーパー対をトラップ電極に取出し、この余剰クーパー対取出の前後において単電子トランジスタを流れる電流値の変化を測定するよう構成される。

そして、この構成は、量子演算後の量子箱電極中の余剰クーパー対をトラップ電極に溜め、トラップ電極に溜まった電荷量の変化すなわち余剰クーパー対数の変化を読出用の単電子トランジスタの直流電流値として読み出すことを可能とする。そのため、高速で信号を読み出す必要がなくなるため、高周波単電子トランジスタを使用する必要がなくなる。よって、単電子トランジスタを高周波で動作させるための高周波制御回路が必要なくなるため、周辺回路の回路構成を単純にすることができる。

また、単電子トランジスタを高感度の電荷計として用いることにより、電荷量を平均化することなく、単一の試行で量子ビットの状態観測が可能となる。

従って、本発明に係る前述の量子演算素子は、単に量子ビット構造の量子箱電極

に高周波単電子トランジスタを直接結合した量子演算素子とは、その構成及び効果の点で有意に大きく異なる。

図面の簡単な説明

図1は、従来の技術による超伝導量子演算素子とその読み出し回路を示す回路図である。

図2は、本発明の実施の一形態に係る量子演算素子の構成を示す回路図である。

図3は、本発明の実施の一形態に係る量子ビットの読み出し方法を説明する図である。

図4は、本発明の実施の一形態に係る量子演算素子を示す平面図である。

図5A及び図5Bは、本発明の実施の一形態に係る量子演算素子の製造工程の一例を示す図である。

発明を実施するための最良の形態

次に、本発明の実施の形態について図面を参照して詳細に説明する。

図2は、本発明の実施の一形態に係る量子演算素子の構成を示す回路図である。

量子演算素子は、量子ビットに対する演算を行なう量子ビット演算処理部と、該量子ビット演算処理部の量子ビットの読出処理を行う読出処理部とを含む。

量子ビット演算処理部は、量子箱電極としての超伝導箱電極106と対向電極104とが第1のトンネルバリア107を挟んで結合した量子ビット構造と、第1のゲート容量102を介して上記超伝導箱電極106と結合した第1のゲート電極101とを含む。

上記読出処理部は、上記超伝導箱電極106と第2のトンネルバリア108を介して結合したトラップ電極103と、該トラップ電極103に読出容量105を介して結合した単電子トランジスタとを含む。

上記単電子トランジスタは、上記トラップ電極103に上記読出容量105を介

して結合した島電極110と、該島電極110と第3のトンネルバリア114を介して結合したソース電極109と、該島電極110と第4のトンネルバリア115を介して結合したドレイン電極113と、上記島電極110と第2のゲート容量112を介して結合した第2のゲート電極111とを含む。

超伝導箱電極106と対向電極104とトラップ電極103とは低温時に超伝導状態となる超伝導体で構成し得る。対向電極104はソース電極として作用する。第1のゲート電極101は超伝導体又は常伝導体で構成し得る。トラップ電極103と超伝導箱電極106とを結合する第2のトンネルバリア108は、対向電極104と超伝導箱電極106とを結合する第1のトンネルバリア107より厚く形成される。

読出用単電子トランジスタのソース電極109、島電極110、ドレイン電極113、第2のゲート電極111には超伝導体又は常伝導体で構成し得る。

読出容量105は、等価回路において容量を構成するあらゆる構成を含む。従って、読出容量105の構成は、トラップ電極103と島電極110とを導通させずに空間的に離間させた構成を有する容量を含む。この容量の構成の典型例として、真空或いは絶縁性物質を介してトラップ電極103と島電極110とを結合した静電容量を含むが、必ずしもこれに限定するものではない。

読出容量105の構成の他典型例として、トンネル電流を流すことを意図しないポテンシャルバリアすなわちトンネルバリアを介してトラップ電極103と島電極110とを結合した構成を含む。ここで、ポテンシャルバリアの厚さは、トラップ電極103と島電極110とがバイアスされた際でもこれら両電極間にトンネル電流が流れない或いは流れにくくする必要がある。

従って、トラップ電極103と島電極110とを離間するトンネルバリアは、通常のポテンシャルバリアを形成するための絶縁性を有する物質で構成され得るが、その機能はトンネル電流を流すものではなく、トラップ電極103と島電極110と結合する等価回路上の容量を提供するものである。

トラップ電極103と島電極110との間のトンネルバリアの厚さを増加させた場合、両電極間のトンネル電流は十分抑制できるが、単電子トランジスタの感度が低くなる。一方、トラップ電極103と島電極110との間のトンネルバリアの厚さを減少させた場合、単電子トランジスタの感度は高くなるが、両電極間のトンネル電流の十分な抑制が難しくなる。従って、トラップ電極103と島電極110とを結合する読出容量の設計は、トラップ電極103と島電極110との間のトンネル電流の抑制と、単電子トランジスタの高い感度の保証とを考慮して行う。

更に、単電子トランジスタは高周波を利用するタイプの高周波単電子トランジスタ(RF-SET)と、高周波を利用しないタイプの単電子トランジスタ(SET)とに分類されるが、本発明では、高周波を利用しないタイプの単電子トランジスタを使用する。

単電子トランジスタの島電極110を超伝導箱電極106に容量を介し結合した場合、超伝導箱電極106に発生した非常に寿命の短い電子クーバー対を、この電子クーバー対が消滅する前に極めて高速に量子ビットの状態を観測する必要がある。このため、読出用の単電子トランジスタは高周波単電子トランジスタで構成する必要がある。しかしながら、高周波単電子トランジスタを高周波で動作させるための周辺回路は非常に複雑になるという視点で、あまり好ましくない。

一方、単電子トランジスタの島電極110をトラップ電極103に容量を介し結合した場合、超伝導箱電極106と第2のトンネルバリア108を介して結合したトラップ電極103に読出容量105を介して単電子トランジスタの島電極110を結合し、余剰クーバー対をトラップ電極103に溜め、トラップ電極103に溜まった電荷量の変化すなわち余剰クーバー対数の変化を読出用の単電子トランジスタの直流電流値として読み出す。この場合、読出用の単電子トランジスタは高周波単電子トランジスタで構成する必要がない。すなわち読出用の単電子トランジスタを高周波で動作させる必要がないため、周辺回路の回路構成を単純にすることができる。

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

このため、超伝導箱電極 106 と第 2 のトンネルバリア 108 を介して結合したトラップ電極 103、及びこのトラップ電極 103 に読出容量 105 を介して結合された島電極 110 を有する単電子トランジスタは本発明に係る量子演算素子にとって必須構成要素となる。

すなわち、対向電極 104 とトラップ電極 103 との間にバイアス電圧を印加して、該バイアス電圧印加時に超伝導箱電極 106 中に存在する余剰クーパ対をトラップ電極 103 に取出し、この余剰クーパ対取出の前後において単電子トランジスタを流れる電流値の変化を測定するよう構成される。

そして、この構成は、量子演算後の超伝導箱電極 106 中の余剰クーパ対をトラップ電極 103 に溜め、トラップ電極 103 に溜まった電荷量の変化すなわち余剰クーパ対数の変化を読出用の単電子トランジスタの直流電流値として読み出すことを可能とする。そのため、高速で信号を読み出す必要がなくなるため、高周波単電子トランジスタを使用する必要がなくなる。よって、単電子トランジスタを高周波で動作させるための高周波制御回路が必要なくなるため、周辺回路の回路構成を単純にすることができる。

また、単電子トランジスタを高感度の電荷計として用いることにより、電荷量を平均化することなく、単一の試行で量子ビットの状態観測が可能となる。

従って、本発明に係る前述の量子演算素子は、単に量子ビット構造の量子箱電極に高周波単電子トランジスタを直接結合した量子演算素子とは、その構成及び効果の点で有意に大きく異なる。

本発明に係る前述の量子演算素子の動作を以下説明する。

絶縁体基板上に形成された超伝導体膜からなる超伝導箱電極 106 が、第 1 のトンネルバリア 107 を挟んで超伝導体薄膜からなる対向電極 104 と結合している。

そして、第 1 のゲート電極 101 が第 1 のゲート容量 102 を介して超伝導箱電極 106 に近接して配置され、トラップ電極 103 が第 2 のトンネルバリア 108 を介して超伝導箱電極 106 と結合している。

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

ここで、第1のトンネルバリア107を介して超伝導箱電極106に入ったクーパー対は、ある時間の経過の後にエネルギーを放出して2個の電子となり、第2のトンネルバリア108をトンネルしてトラップ電極103に至る。このときのクーパー対の寿命に対応する時間をキャリア緩和時間とよぶ。また、クーパー対のコヒーレントな振動の周期をコヒーレント振動周期という。

そして、第2のトンネルバリア108を介したキャリア緩和時間が、第1のトンネルバリア107を介したコヒーレント振動周期より長くなるように、第2のトンネルバリア108を構成する絶縁膜の厚さは第1のトンネルバリア107を構成する絶縁膜よりも厚く形成する。

これは、第2のトンネルバリア108を介した電子の緩和が起こるまでの十分長い時間のあいだに、第1のトンネルバリア107を介したコヒーレントなクーパー対の振動による量子演算を行うことを可能とするためである。

そして、第1のゲート電極101に印加されるゲート電圧により超伝導箱電極106の静電ポテンシャルを制御することによって、第1のトンネルバリア107を介した超伝導箱電極106と対向電極104との間のクーパー対のトンネリング、すなわち量子ビットの状態の遷移を制御することができる。

一方、対向電極104は負にバイアスされており、超伝導箱電極106に余剰クーパー対が存在するときのみ第2のトンネルバリア108を介した2つの準粒子トンネリングによって、2電子が引き出される。

ここで、対向電極104を負にバイアスした場合には、トラップ電極103にはバイアスを印加する必要がないので、演算中は読み出し用単電子トランジスタのソース電極109及びドレイン電極113をゼロバイアスに保つことができる。

また、演算中に読み出し用単電子トランジスタのソース電極109及びドレイン電極113に等しい正バイアスを印加し、トラップ電極103を正にバイアスすることによっても同様の効果を得ることができる。

演算が終了した後、単電子トランジスタのソース電極109を正にバイアスして

電流を測定し、演算前の電流値との比較から 0 状態、1 状態の区別が可能となる。

この量子ビットの読み出し方法を図 3 を用いて具体的に説明する。

図 3 において、横軸は読み出し用単電子トランジスタの第 2 のゲート電極 1 1 1 に印加する電圧値であり、縦軸は読み出し用単電子トランジスタを流れる電流値である。

この電流は単電子トランジスタの特性よりゲート電圧に対して周期的に振動する関数となる。

トラップ電極 1 0 3 に余剰クーパー対が存在する場合には、読み出し容量 1 0 5 を介して単電子トランジスタの島電極 1 1 0 のポテンシャルが変化する。

その結果、この電流の関数は横軸方向に $2e/C_m$ だけシフトする。ここで e は電荷素量、 C_m は読出容量 1 0 5 の大きさである。

従って、演算前の初期状態において単電子トランジスタの第 2 のゲート電極 1 1 1 に印加する電圧値を例えば図 3 に示すように V_{g0} に設定すると、演算後の状態が "0" の場合、すなわちトラップ電極 1 0 3 に余剰クーパー対が存在しないときは電流値は 0 のままである。しかし演算後の状態が、"1" の場合、すなわちトラップ電極 1 0 3 に余剰クーパー対が存在する場合は ΔI の電流が検出される。

これより、前述の二つの状態を区別することが可能となる。

読み出しが完了した後は、対向電極 1 0 4 を正にバイアスしトラップ電極 1 0 3 に溜まった電荷を引き出すことにより初期化を図ることができる。

以上説明したように、本発明の実施の形態によれば、トラップ電極 1 0 3 に演算後の超伝導箱電極 1 0 6 から取出した余剰クーパー対を溜め、その電荷量の変化を読み出し用の単電子トランジスタの直流電流値として読み出すことが出来る。

そのため、高速で信号を読み出す必要がなくなるため、回路構成を単純にすることが出来る。

また、単電子トランジスタを高感度の電荷計として用いることにより、電荷量を平均化することなく、単一の試行で量子ビットの状態観測が可能となる。

次に、本発明に係る前述の量子演算素子の製造方法を説明する。

図4は、本発明の実施の一形態に係る量子演算素子を示す平面図である。

絶縁体基板403には、例えば表面酸化されたシリコン基板を用いることができる。

超伝導箱電極405、対向電極404、トラップ電極402、第1のゲート電極401、島電極409、ドレイン電極410、ソース電極408の各電極は、低温の使用状態では超伝導状態となるアルミニウムまたはニオブ等により形成される。

また、第1のゲート電極401、第2のゲート電極411には、上記超伝導材料の他に常伝導貴金属、例えば金または白金等を用いることもできる。

ここで各電極の大きさは、超伝導箱電極405、トラップ電極402、島電極409については典型的には、幅が約50nm程度であり、長さが約700nm程度である。

トンネル接合として用いる酸化アルミニウムからなる第1のトンネルバリア407は、超伝導箱電極405を蒸着した後に酸素を真空室に導入することにより超伝導箱電極405の表面を酸化し、その後に対向電極404を超伝導箱電極405とわずかに重なるように蒸着することにより形成する。

次に、第2のトンネルバリア406は、対向電極404を蒸着した後に再度酸素を真空室に導入することにより超伝導箱電極405の表面をさらに酸化し、その後トラップ電極402を超伝導箱電極405とわずかに重なるように蒸着することにより形成する。

読み出し用単電子トランジスタの第3のトンネルバリア412及び第4のトンネルバリア413も同様に形成される。

図5A及び図5Bは、本発明の実施の一形態に係る量子演算素子の製造工程の一例を示す図である。

図5Aに、電極形成にもちいるマスクパターンの一例を示す。また、図5Bに蒸着工程後の量子演算素子の平面図を示す。

図5Aに示すマスク501を通して、超伝導箱電極507および島電極511としてアルミニウムを典型的には厚さ約150nm程度蒸着した後、蒸着装置の真空室の中に酸素あるいは酸素約10%とアルゴン約90%からなる混合ガスを導入し表面を酸化する。

なお、電極材料としてニオブを用いた場合には、ニオブ電極の表面にあらかじめ薄くアルミニウムを蒸着し、その後アルミニウムを酸化する処理を行う。

次に、このマスク501を通して対向電極504及びソース電極508とドレイン電極509を、それぞれ超伝導箱電極507および島電極511とその表面においてわずかに重なるように、異なる角度から蒸着する。

この電極金属の重なり部分に挟まれた酸化アルミニウムがトンネルバリアになり、第1のトンネルバリア505、第3のトンネルバリア510、第4のトンネルバリア512が形成される。

トラップ電極503側の第2のトンネルバリア506は、トンネルバリア505に比べて十分大きな抵抗を持つことが望ましいので、対向電極504の蒸着後に、再度酸素を真空室に導入し超伝導箱電極507の表面をさらに酸化した後に、トラップ電極503を超伝導箱電極507とわずかに重なるように蒸着することにより形成する。

ここでトンネルバリアの厚さは、典型的には、第1のトンネルバリア505、第3のトンネルバリア510、第4のトンネルバリア512では約1nm程度であり、第2のトンネルバリア506では約1nmから約3nm程度である。

このときのコヒーレント振動周期は約20psから約200ps程度、典型的には約100ps程度であり、キャリア緩和時間は約1nsから約20ns程度、典型的には約10ns程度である。

以上の工程において第1のゲート電極502及び第2のゲート電極503も形成され、図5Bに示す量子演算素子が完成する。

以上説明したように、本発明によれば、量子ビット情報を平均化することなく単

一の試行により直流電流値として読み出すことが出来る。そのため、読み出し処理回路及び量子ビット回路の構成を簡素化することができる。

産業上の利用の可能性

本発明に係る前述した量子演算素子及び該量子演算素子の量子ビット読出処理機構並びに量子ビット読出処理方法は、その適用範囲を限定するものではなく、典型的には、ジョセフソン結合システムで構成される量子計算機に用いることができる。

幾つかの好適な実施の形態及び実施例に関連付けして本発明を説明したが、これら実施の形態及び実施例は単に実例を挙げて発明を説明するためのものであって、限定することを意味するものではないことが理解できる。本明細書を読んだ後であれば、当業者にとって等価な構成要素や技術による数多くの変更および置換が容易であることが明白であるが、このような変更および置換は、添付の請求項の真の範囲及び精神に該当するものであることは明白である。

請求の範囲

1. 量子箱電極と対向電極とが第1のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合した第1のゲート電極と、前記量子箱電極と第2のトンネルバリアを介して結合したトラップ電極と、単電子トランジスタとを含む量子演算素子であって、

前記単電子トランジスタは更に、ソース電極と、ドレイン電極と、島電極と、ゲート容量を介し前記島電極と結合した第2のゲート電極とを含み、前記トラップ電極と前記単電子トランジスタの島電極とが読出容量を介して結合している量子演算素子。

2. 前記量子箱電極と前記対向電極と前記トラップ電極とは超伝導材料で構成される請求の範囲1記載の量子演算素子。

3. 前記第2のトンネルバリアを介したキャリア緩和時間が、前記第1のトンネルバリアを介したコヒーレント振動周期より長い請求の範囲1記載の量子演算素子。

4. 前記第2のトンネルバリアを介したキャリア緩和時間が、前記第1のトンネルバリアを介したコヒーレント振動周期の5倍から1000倍の範囲である請求の範囲3記載の量子演算素子。

5. 前記第1のトンネルバリアは第1の絶縁膜からなり、前記第2のトンネルバリアは第2の絶縁膜からなり、前記第2の絶縁膜の厚さが前記第1の絶縁膜の厚さ以上である請求の範囲1記載の量子演算素子。

6. 前記第2の絶縁膜の厚さは前記第1の絶縁膜の厚さの1倍から3倍の範囲である請求の範囲5記載の量子演算素子。

7. 前記島電極は、前記ソース電極に第3のトンネルバリアを介して結合され、前記ドレイン電極に第4のトンネルバリアを介して結合される請求の範囲1記載の量子演算素子。

8. 前記量子演算素子は、前記対向電極に負バイアス電圧を印加して、負バイアス電圧印加時に前記量子箱電極中に存在する余剰クーパ対を前記トラップ電極に取出し溜めることで、この余剰クーパ対取出の前後において前記単電子トランジスタを流れる電流値の変化を測定するよう構成される請求の範囲1記載の量子演算素子。

9. 前記量子演算素子は、前記トラップ電極に正バイアス電圧を印加して、正バイアス電圧印加時に前記量子箱電極中に存在する余剰クーパ対を前記トラップ電極に取出し溜めることで、この余剰クーパ対取出の前後において前記単電子トランジスタを流れる電流値の変化を測定するよう構成される請求の範囲1記載の量子演算素子。

10. ソース電極と、ドレイン電極と、島電極と、ゲート容量を介し前記島電極と結合したゲート電極とを含む単電子トランジスタと、

量子演算素子の量子箱電極とトンネルバリアを介して結合すると共に、読出容量を介して前記島電極と結合したトラップ電極とを含むことで、

前記量子演算素子にバイアス電圧を印加した際に前記量子箱電極中に存在する余剰クーパ対が前記トラップ電極に取出された前後において前記単電子

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

トランジスタに流れる電流値の変化を測定するよう構成する量子演算素子の量子ビット読出処理機構。

1 1. 前記量子演算素子は、前記量子箱電極と対向電極とが第 1 のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合した更なるゲート電極と、前記量子箱電極と第 2 のトンネルバリアを介して結合した前記トラップ電極とからなる請求の範囲 1 0 記載の量子演算素子の量子ビット読出処理機構。

1 2. 前記量子演算素子に印加される前記バイアス電圧は、前記対向電極に印加される負バイアス電圧である請求の範囲 1 1 記載の量子演算素子の量子ビット読出処理機構。

1 3. 前記量子演算素子に印加される前記バイアス電圧は、前記トラップ電極に印加される正バイアス電圧である請求の範囲 1 1 記載の量子演算素子の量子ビット読出処理機構。

1 4. 前記量子箱電極と前記対向電極と前記トラップ電極とは超伝導材料で構成される請求の範囲 1 1 記載の量子演算素子の量子ビット読出処理機構。

1 5. 前記第 2 のトンネルバリアを介したキャリア緩和時間が、前記第 1 のトンネルバリアを介したコヒーレント振動周期より長い請求の範囲 1 1 記載の量子演算素子の量子ビット読出処理機構。

1 6. 前記第 2 のトンネルバリアを介したキャリア緩和時間が、前記第 1 のトンネルバリアを介したコヒーレント振動周期の 5 倍から 1 0 0 0 倍の範囲である

Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

請求の範囲 1 5 記載の量子演算素子の量子ビット読出処理機構。

1 7. 前記第 1 のトンネルバリアは第 1 の絶縁膜からなり、前記第 2 のトンネルバリアは第 2 の絶縁膜からなり、前記第 2 の絶縁膜の厚さが前記第 1 の絶縁膜の厚さ以上である請求の範囲 1 1 記載の量子演算素子の量子ビット読出処理機構。

1 8. 前記第 2 の絶縁膜の厚さは前記第 1 の絶縁膜の厚さの 1 倍から 3 倍の範囲である請求の範囲 1 7 記載の量子演算素子の量子ビット読出処理機構。

1 9. 前記島電極は、前記ソース電極に第 3 のトンネルバリアを介して結合され、前記ドレイン電極に第 4 のトンネルバリアを介して結合される請求の範囲 1 0 記載の量子演算素子の量子ビット読出処理機構。

2 0. 前記量子演算素子にバイアス電圧を印加した際に前記量子箱電極中に存在する余剰クーパ対を前記量子演算素子のトラップ電極に取出す工程と、

前記余剰クーパ対取出工程の前後において、読出容量を介して前記トラップ電極と結合した島電極を含む単電子トランジスタに流れる電流値の変化を測定する工程とを含む量子演算素子の量子ビット読出方法。

2 1. 前記量子演算素子に印加される前記バイアス電圧は、前記量子演算素子の対向電極に印加される負バイアス電圧である請求の範囲 2 0 記載の量子演算素子の量子ビット読出方法。

2 2. 前記量子演算素子に印加される前記バイアス電圧は、前記トラップ電極に印加される正バイアス電圧である請求の範囲 2 0 記載の量子演算素子の量子ビット読出方法。

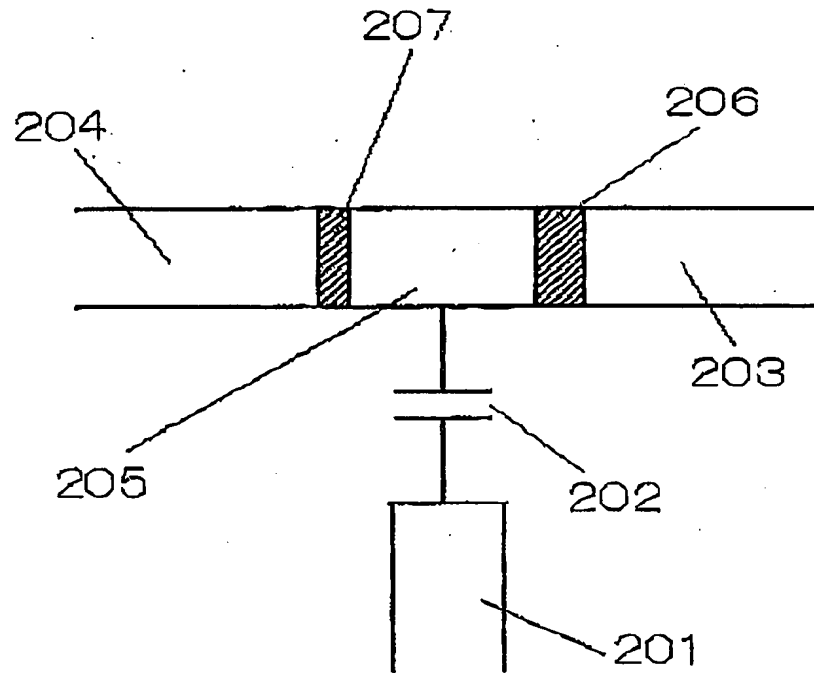
要約書

高周波信号処理を行わない単純な回路構成のもとで、単一試行による量子状態の読み出しができる量子演算素子及び該量子演算素子の量子ビット読出処理機構並びに量子ビット読出処理方法を提供する。

量子箱電極と第一のトンネルバリアを挟んで結合された対向電極とによって形成された量子ビット構造をゲート電圧で制御し、該量子ビット構造に第二のトンネルバリアを挟んで結合されたトラップ電極に演算後の量子箱電極から取出した余剰クーパー対を溜める。トラップ電極と読出用の単電子トランジスタの島電極を静電容量を介して結合し、トラップ電極における電荷量の変化を単電子トランジスタの直流電流値として読み出す。

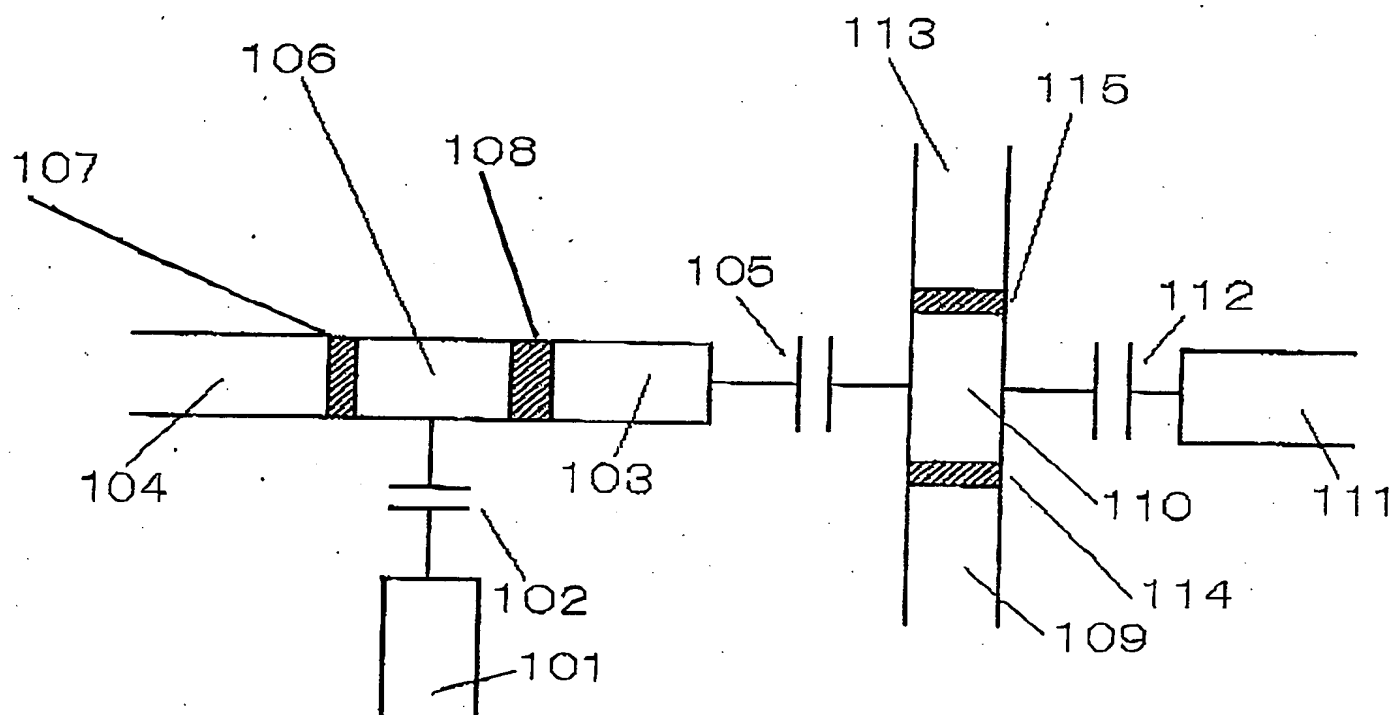
1/6

図 1



2/6

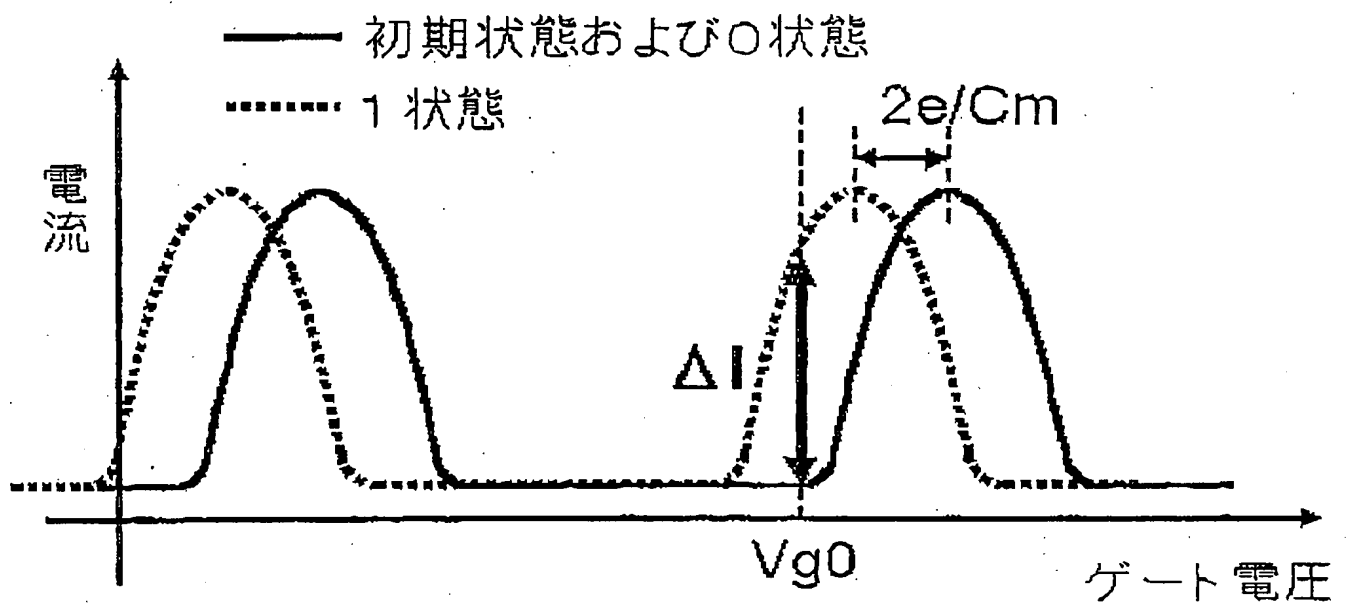
図 2



Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

3/6

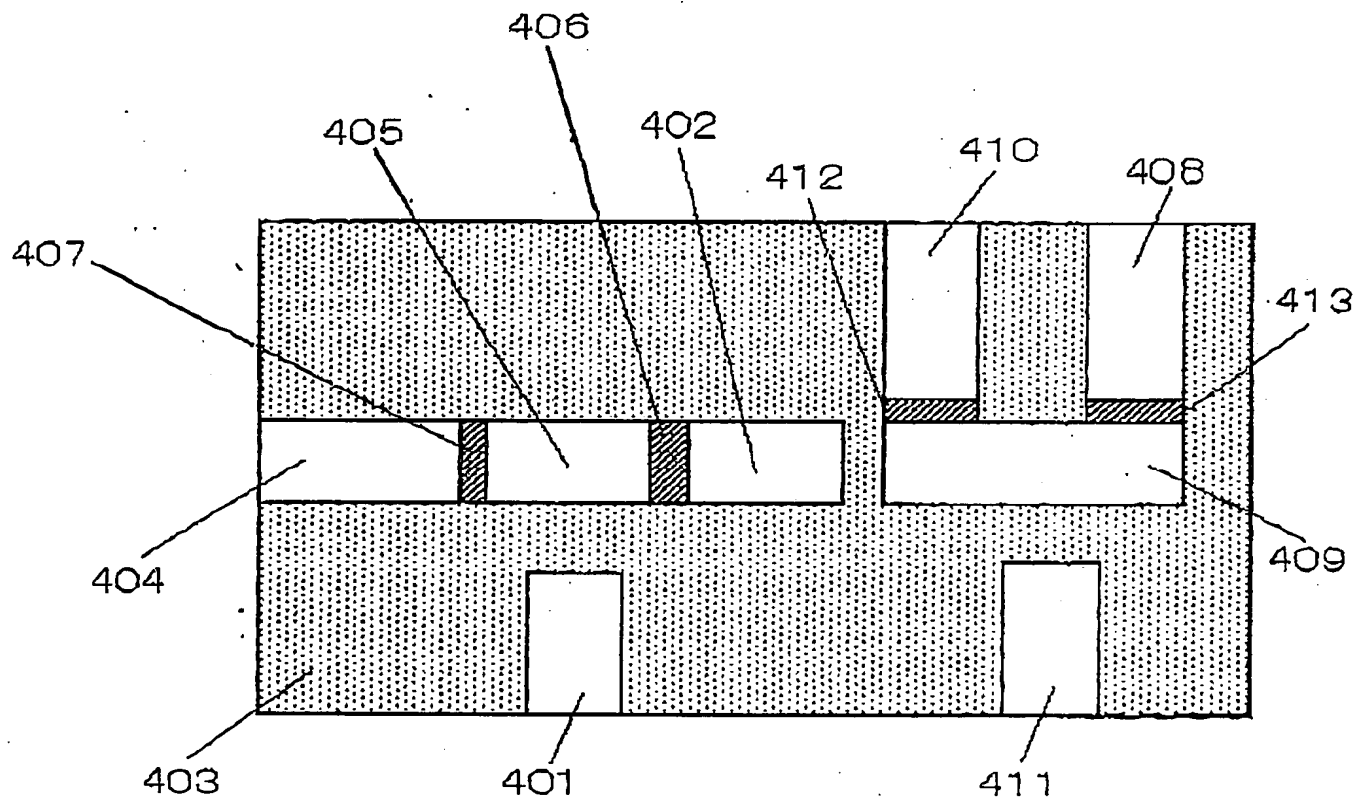
図 3



Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

4/6

図 4

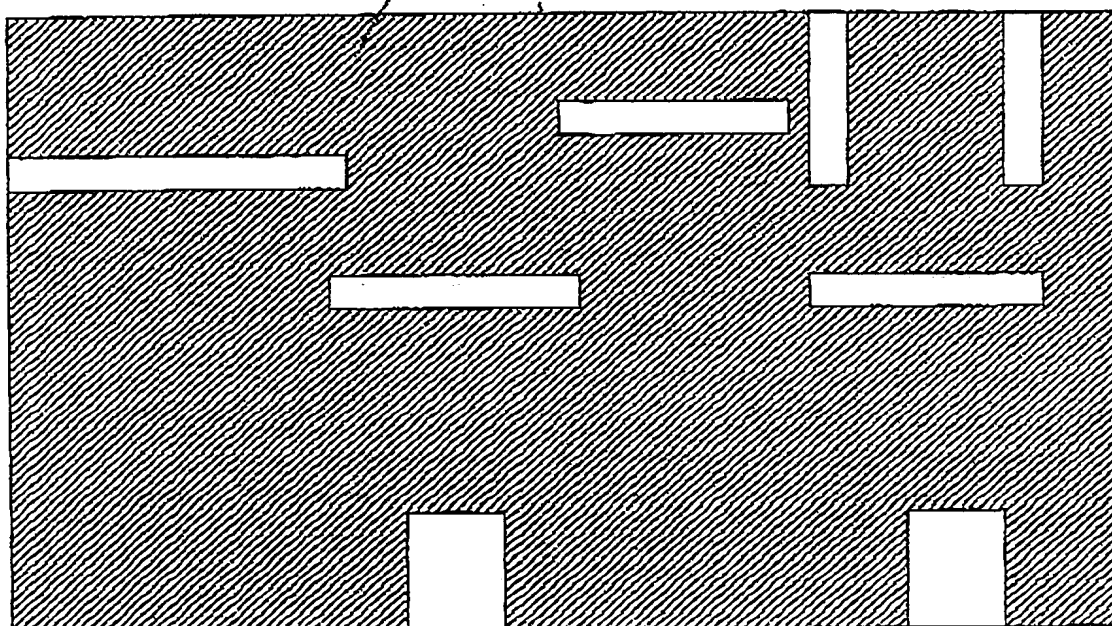


Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

5/6

図 5 A

501



Date of receipt: 24 August 2010 (24.08.2010) PCT/JP2003/016475

6/6

図 5 B

